

Birch, Stewart et al.  
(703) 205-8000  
4392-0440  
New

12/23/03  
KUAN et al.  
1081

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 03 日  
Application Date

申請案號：092118192  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 8 月 26 日  
Issue Date

發文字號：09220854990  
Serial No.

申請日期：92. 7.-3	IPC分類
申請案號：92118192	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	形成動態隨機存取記憶體胞位元線接觸之方法
	英 文	METHOD FOR FORMING DRAM CELL BIT-LINE CONTACT
二、 發明人 (共2人)	姓 名 (中文)	1. 管式凡 2. 吳國堅
	姓 名 (英文)	1. KUAN, Shih-Fan 2. WU, Kuo-Chien
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 桃園蘆竹鄉南順七街三十二巷二號六樓 2. 苗栗市中苗里中正路五四七號
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. NANYA TECHNOLOGY CORPORATION
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路六六九號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C.
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang LIEN



四、中文發明摘要 (發明名稱：形成動態隨機存取記憶體胞位元線接觸之方法)

本發明提供一種形成動態隨機存取記憶體胞位元線接觸之方法。先於一包含有複數個控制閘之基材上形成一介電層，再於其上形成一足以定義一第一開口之圖案化硬遮罩。然後以此硬遮罩為罩幕，蝕刻此介電層，曝露出下方之基材而形成一位元線接觸窗。隨後以導電材料填塞位元線接觸窗，以形成一位元線接觸。最後於事先形成已曝露出部份位元線接觸，同時又具有第二開口之絕緣層上形成一第二導體層，而將此第二開口予以填塞。

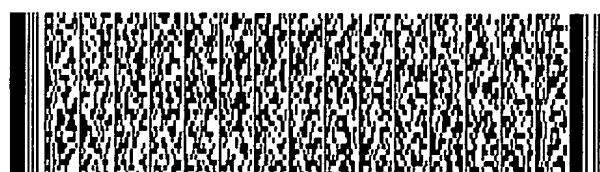
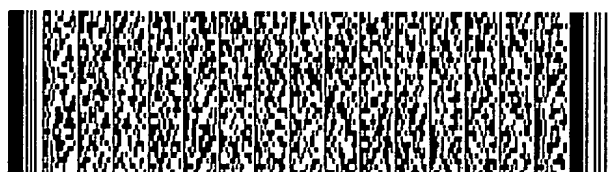
五、(一) 本案代表圖為：第8圖

(二) 本案代表圖之元件代表符號簡單說明：

101 基材	102 控制閘	103 介電層
104 光阻	105 圖案	106 殘跡
107 接觸窗	109 絕緣層	201 基材

六、英文發明摘要 (發明名稱：METHOD FOR FORMING DRAM CELL BIT-LINE CONTACT)

A method for forming DRAM cell bit-line contact is provided. First a dielectric layer is formed on a substrate on which a plurality of control gates have already been formed, then a patterned hard mask defining a first aperture is formed thereon. Afterwards, through the patterned hard mask the dielectric layer is etched away to expose the substrate therebeneath to form a bit-



四、中文發明摘要 (發明名稱：形成動態隨機存取記憶體胞位元線接觸之方法)

202 控制 閘	301 基 材	302 控 制 閘
303 介 電 層	401 基 材	402 控 制 閘
403 介 電 層	404 硬 遮 罩	405 第 一 開 口
501 基 材	502 控 制 閘	503 介 電 層
504 硬 遮 罩	505 第 一 開 口	506 肩 形 部 位
507 接 觸 窗	601 基 材	602 控 制 閘
603 介 電 層	604 硬 遮 罩	608 位 元 線 接 觸
612 第 一 導 體 層	701 基 材	702 控 制 閘
703 介 電 層	708 位 元 線 接 觸	709 絕 緣 層
710 第 二 開 口	801 基 材	802 控 制 閘
803 介 電 層	808 位 元 線 接 觸	809 絕 緣 層
811 第 二 導 體 層		

六、英文發明摘要 (發明名稱：METHOD FOR FORMING DRAM CELL BIT-LINE CONTACT)

line contact window. Thereafter the bit-line contact windows are filled with conductive material to form a bit-line contact. Finally, a second conductor layer is formed on a previously established isolation layer, which has a second aperture and the partially exposed bit-line contact, to fill the second aperture.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

### 一、【發明所屬之技術領域】

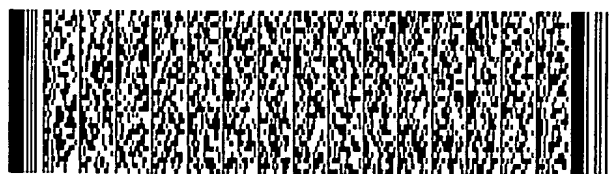
本發明係關於一種形成動態隨機存取記憶體胞位元線接觸 (DRAM cell bit-line contact) 之方法。

### 二、【先前技術】

動態隨機存取記憶體 (DRAM) 為許多電子裝置中不可或缺之必要元件之一。於製造動態隨機存取記憶體之過程中，當主要元件已建立在基材上後，需要再將位元線 (bit-line) 與汲極 (drain) 電連接起來。

為了製造位元線 (bit-line) 與汲極 (drain) 間之電連接，目前的已知製程中所使用的方法為，如圖一 (a) 至圖一 (e) 中所示，在已經建立有複數個控制閘 102 之基材 101 上，先形成一層材料通常為硼磷矽玻璃 (BPSG) 之介電層 103。於上方先形成一層通常以四乙基正矽酸鹽 (TEOS) 製得之絕緣層 109 後，再將定義一接觸窗圖案 105 之光阻 104 覆蓋在絕緣層 109 上。接著利用這層光阻 104 為屏障，以蝕刻的方式，先蝕穿未受保護的介電層 109 後，再一路蝕刻至接觸窗 107 均被蝕開為止。

自光阻 104 上之圖案 105 蝕穿介電層 103 後，再蝕刻出接觸窗 107 為止的過程中，當元件積體化的程度愈來愈高時，圖案 105 所界定出的孔洞尺寸就變的愈來愈窄，於是所挖出的空間也就變的具有愈來愈高的垂直非等向性



## 五、發明說明 (2)

(vertical anisotropy)，也就是說，具有愈來愈大的高寬比 (aspect ratio)。目前業界所共知的情況是，執行這種特高垂直非等向性蝕刻至少存在著兩個大問題：第一，執行特高垂直非等向性蝕刻通常要用到非常昂貴的儀器。第二，將導電材料填入特大高寬比的空間中（即，位元線接觸窗）時很容易造成空包 (void) 現象。

除此之外，在執行特高垂直非等向性蝕刻時，即使控制閘102沒有因蝕刻而曝露出來，但是也很容易侵蝕到控制閘102的肩形 (shoulder) 部位而留下稱為碗形

(bowl) 殘跡106。還有，所蝕刻出接觸窗107的寬度亦很難加以確實控制。太寬時，很容易形成交錯障

(crossfail)，太窄時，又不容易形成足夠之汲極接觸，並且常常造成空包 (void) 現象。雖然已經有許多先前技藝試圖克服此一困難，但所付出之代價不外乎是相當複雜的方法或是十分昂貴的儀器。

## 三、【發明內容】

本發明之一主要目的即在提供一種形成動態隨機存取記憶體胞位元線接觸之方法，以較低之垂直非等向性蝕刻介電層，而減低甚至排除在執行特高垂直非等向性蝕刻時，潛在之交錯障 (crossfail) 問題。

本發明主要目的之一在於提供一種形成動態隨機存取



### 五、發明說明 (3)

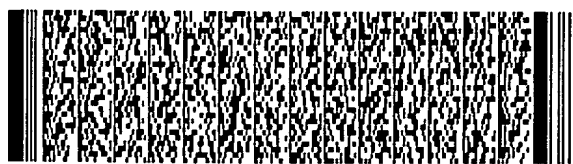
記憶體胞位元線接觸之方法，係以更經濟之方式來執行垂直非等向性蝕刻步驟。

本發明之另一目的在於提供一種形成動態隨機存取記憶體胞位元線接觸之方法，使得控制閘不會因不當之蝕刻而曝露出來，同時又能盡量不傷害到控制閘的肩形部位。

本發明之又一目的在於提供一種形成動態隨機存取記憶體胞位元線接觸之方法，使得導電材料在填塞入位元線接觸窗時較難造成空包現象。

本發明之再一目的在於提供一種形成動態隨機存取記憶體胞位元線接觸之方法，使得經由此方法所蝕刻出接觸窗的寬度更容易加以確實控制。

本發明於是揭示一種形成動態隨機存取記憶體胞位元線接觸之方法。簡而言之，此方法包含以下步驟：  
提供一包含有複數個控制閘之基材 (substrate) ；  
於基材上形成一介電層 (dielectric layer) ；  
於介電層上形成一可定義一第一開口 (first aperture) 之圖案化 (patterned) 硬遮罩 (hard mask) ；  
以此硬遮罩為一罩幕蝕刻此介電層，直至曝露出基材而形成一位元線接觸窗 (bit-line contact window) ；  
以一導電材料 (electric-conductive material) 填塞此





#### 五、發明說明 (4)

位元線接觸窗，以形成一位元線接觸 (bit-line contact) ；

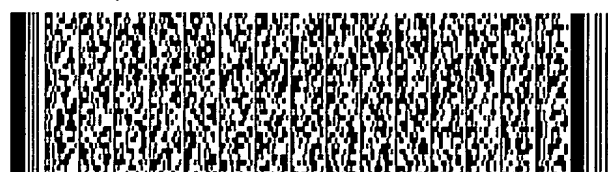
形成一具有一第二開口 (second aperture) 之絕緣層 (isolation layer) ，以曝露出部份之此位元線接觸；  
與

於絕緣層上形成一第二導體層，以填塞此第二開口。

#### 四、【實施方式】

本發明之方法係於基材上形成一動態隨機存取記憶體胞位元線接觸。藉由參考本發明圖式與下列說明，熟習本項技藝者將可更容易理解及掌握本發明之各項目的與所伴隨之優點。然而，熟習本項技藝者應瞭解到，本發明之應用範圍不僅限於說明書中之代表性的具體例示。特定言之，本發明之方法得應用於任何適用本方法之領域中。

本方法之較佳實施例將以圖二至圖八加以詳細敘述。其中各圖之編號根據所相關之定義予以一致化後，可能不多加以贅述。請參看圖二，於基材201上建立複數個控制閘202。以較佳之實施例而言，基材201較佳由矽所組成，特佳為經摻雜之矽。控制閘202可以由熟習本項技藝者所共知之方法建立在基材201上或其中。為了簡要敘述本發明，說明或是圖式中部分之元件及/或層因其為熟習本項技藝者所熟知，而會被簡化、甚至部分及/或完全不顯



#### 五、發明說明 (5)

示。例如，基材201上或其中可能已經包含多個已形成 (formed) 之區域(regions)或層(layers)，並僅以一對控制閘202代表所有之複數個控制閘202。

請參看圖三，在具有複數個控制閘302的基材301上形成一層介電層303，此層較佳以經摻雜之二氧化矽所組成，特佳以硼磷矽玻璃 (BPSG) 形成之。介電層303，較佳以沉積法 (deposition)，特佳以化學氣相沉積法 (chemical vapor deposition)，形成於基材301上。視情況需要，於基材301上形成介電層303後，可以進一步對介電層303進行一第一平坦化 (first planarization) 步驟。此步驟，特佳以化學機械研磨程序 (CMP) 執行此第一平坦化步驟。

請參看圖四，基材401上有複數個控制閘402。於介電層403上形成一圖案化之硬遮罩404，而此圖案化硬遮罩404之圖案則定義一第一開口405。此硬遮罩404，較佳以具有明顯低於二氧化矽蝕刻速率之材料所組成，特佳以氮化矽 (silicon nitride) 形成。當硬遮罩404形成於介電層403上後，較佳者以蝕刻方式形成硬遮罩上之第一開口405。

請參看圖五，位元線接觸窗507係以硬遮罩504之第一開口505為圖樣而蝕刻介電層503而得，基材501亦因此曝



#### 五、發明說明 (6)

露出來。蝕刻方法為熟習本項技藝者所共知，較佳者為乾蝕刻及/或濕蝕刻。由於接觸窗507之高寬比 (aspect ratio) 較先前技藝中所提出者為低，使得經由本方法所蝕刻出接觸窗507的寬度與形狀更容易加以確實控制。例如，控制閘502因蝕刻而造成肩形部位506的傷害可以確實減小，因而使得控制閘不會因不當之蝕刻而曝露出來。同時，經由本方法所蝕刻出接觸窗507的寬度更容易被精確控制而符合所預期之尺寸，於是又避免了太寬時很容易形成交錯障 (crossfail) 缺陷，與太窄時又不容易形成足夠之汲極接觸或空包 (void) 現象的瑕疵。

請參看圖六 (a)，將導電材料填塞至先前形成之位元線接觸窗內，以形成一位元線接觸608。導電材料較佳以金屬或是多晶矽所組成，特佳以含鎢之金屬材料或是多晶矽所組成。填塞位元線接觸窗之方式係為熟習本項技藝者所共知，較佳者為化學氣相沉積法。當把導電材料填塞至位元線接觸窗中時，視情況所需，此步驟可進一步包含形成一第一導體層612。第一導體層612之厚度通常並不重要，但較佳者愈薄愈好。

視情況需要，若欲移除部分或是全部之第一導體層612時，則可以進一步對於第一導體層612進行一第二平坦化 (second planarization) 步驟。於執行此步驟時，視情況需要，亦可附帶地進一步移除硬遮罩604之一部份，



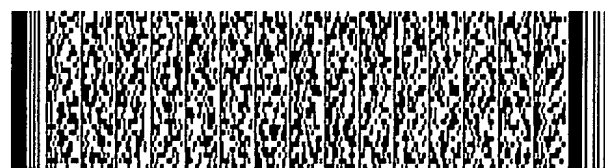
## 五、發明說明 (7)

如圖六 (b) 中所示，或者移除硬遮罩604的全部，如圖六 (c) 中所示。特佳者以化學機械研磨程序執行此第二平坦化步驟。

請參看圖七，在建立位元線接觸708後，繼續形成一具有一第二開口710之絕緣層709，其目的為曝露出部份之該位元線接觸708。絕緣層709較佳由四乙基正矽酸鹽 (TEOS) 形成。而絕緣層709上之第二開口710較佳以蝕刻方式形成。

接續圖七之步驟，在絕緣層709上建立第二開口710後，請參看圖八，第二導體層811形成於絕緣層809上，並同時填塞第二開口。第二導體層811係由導電材料所組成。較佳之導電材料為金屬或是多晶矽，特佳之導電材料為含鎢之金屬材料或是多晶矽。沉積第二導體層811與填塞第二開口之方式係為熟習本項技藝者所共知，較佳者為化學氣相沉積法。第二導體層811之厚度通常由熟習本項技藝者於實施本發明時視情況所需而調整。

最後，經過圖二至圖八之步驟，如圖八中所例示，基材801上於是建立動態隨機存取記憶體胞位元線接觸。藉由本發明所提出之方法，不但能克服先前技藝之缺點，亦不需要採用複雜的方法或是十分昂貴的儀器。於是，此一簡單之方法即可用來取代目前傳統上建立動態隨機存取記



#### 五、發明說明 (8)

憶體胞位元線接觸之方法。

藉由以上目前被視為本發明較佳具體實施例之敘述，係希望能更加清楚描述本發明之特徵與精神。然而，以上所揭露之較佳具體實施例非為本發明所欲包含範疇之限制。相反地，前述的說明及其各種均等性的改變安排皆為本發明所欲受到的保護範疇。因此本發明申請專利範圍之範疇應該根據上述之說明作最寬廣的解釋，同時涵蓋所有可能實質上均等的改變以及均等的安排。



## 圖式簡單說明

### 五、【圖式簡單說明】

圖一(a)至圖一(e)例示先前技藝之製程；以及圖二至圖八為本方法較佳實施例之流程圖。

#### 圖式元件符號說明

101 基材	102 控制閘
103 介電層	104 光阻
105 圖案	106 殘跡
107 接觸窗	109 絕緣層
201 基材	202 控制閘
301 基材	302 控制閘
303 介電層	
401 基材	402 控制閘
403 介電層	404 硬遮罩
405 第一開口	
501 基材	502 控制閘
503 介電層	504 硬遮罩
505 第一開口	506 肩形部位
507 接觸窗	
601 基材	602 控制閘
603 介電層	604 硬遮罩
608 位元線接觸	612 第一導體層
701 基材	702 控制閘



圖式簡單說明

703 介電層

709 絕緣層

801 基材

803 介電層

708 位元線接觸

710 第二開口

802 控制閘

808 位元線接觸



## 六、申請專利範圍

1. 一種形成一動態隨機存取記憶體胞位元線接觸 (DRAM cell bit-line contact) 之方法，該方法包含以下步驟：

提供一基材 (substrate)，該基材包含複數個控制閘 (control gate)；

於該基材上形成一介電層 (dielectric layer)；

於該介電層上形成一圖案化 (patterned) 硬遮罩 (hard mask)，該圖案化硬遮罩定義一第一開口 (first aperture)；

以該硬遮罩為一罩幕而蝕刻該介電層，以曝露該基材而形成一位元線接觸窗 (bit-line contact window)；

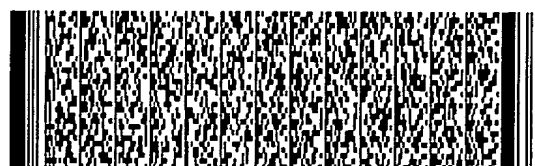
以一導電材料 (electric-conductive material) 填塞該位元線接觸窗，以形成一位元線接觸 (bit-line contact)；

形成一具有一第二開口 (second aperture) 之絕緣層 (isolation layer)，以曝露出部份之該位元線接觸；與

形成一第二導體層於該絕緣層上，並填塞該第二開口。

2. 如申請專利範圍第1項之方法，其中以一硼磷矽玻璃 (BPSG) 形成該介電層。

3. 如申請專利範圍第1項之方法，其中於該基材上形成一介電層後進一步包含：





#### 六、申請專利範圍

對該介電層進行一第一平坦化。

4. 如申請專利範圍第3項之方法，其中以一化學機械研磨程序（CMP）執行該第一平坦化。

5. 如申請專利範圍第1項之方法，其中以一種氮化矽（silicon nitride）形成該硬遮罩。

6. 如申請專利範圍第1項之方法，其中以蝕刻方式形成該圖案化硬遮罩。

7. 如申請專利範圍第1項之方法，其中以該導電材料填塞該位元線接觸窗之步驟進一步包含：  
形成一第一導體層。

8. 如申請專利範圍第1項之方法，其中該導電材料為一多晶矽或一含鎢之金屬材料。

9. 如申請專利範圍第1項之方法，其中以該導電材料填塞該位元線接觸窗之步驟進一步包含：  
進行一第二平坦化。

10. 如申請專利範圍第9項之方法，其中以一化學機械研磨程序（CMP）執行該第二平坦化。

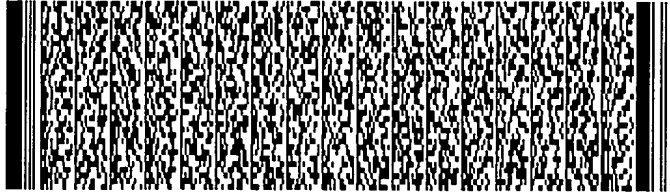


## 六、申請專利範圍

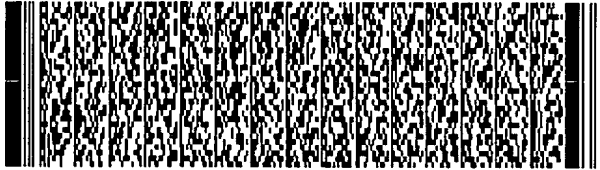
11. 如申請專利範圍第9項之方法，其中該第二平坦化移除該硬遮罩的一部份。
12. 如申請專利範圍第9項之方法，其中該第二平坦化移除該硬遮罩的全部。
13. 如申請專利範圍第1項之方法，其中以一種四乙基正矽酸鹽（TEOS）形成該絕緣層。
14. 如申請專利範圍第1項之方法，其中以蝕刻方式形成該第二開口。
15. 如申請專利範圍第1項之方法，其中以一多晶矽或一含鎢之金屬材料形成該第二導體層。



第 1/17 頁



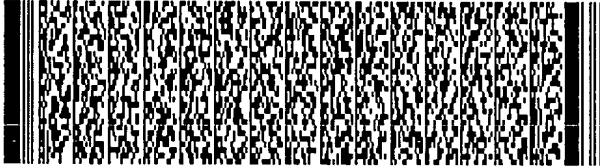
第 2/17 頁



第 4/17 頁



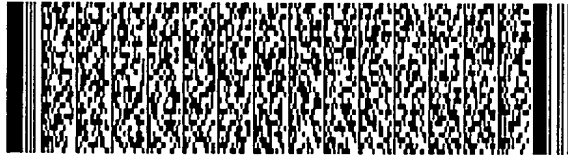
第 5/17 頁



第 6/17 頁



第 7/17 頁



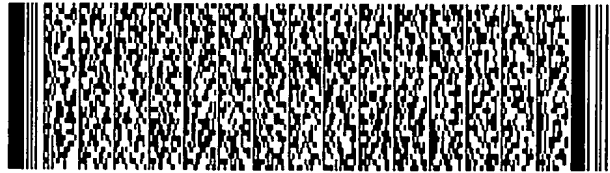
第 8/17 頁



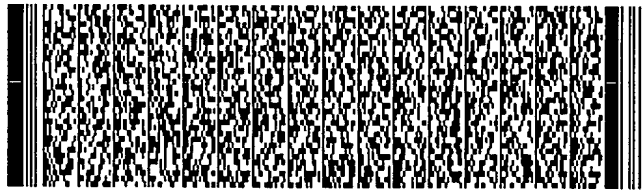
第 9/17 頁



第 2/17 頁



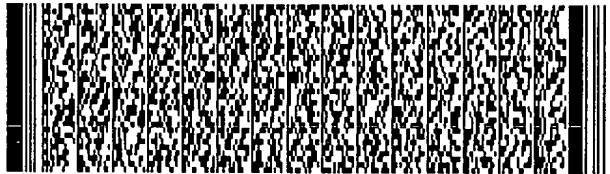
第 3/17 頁



第 5/17 頁



第 6/17 頁



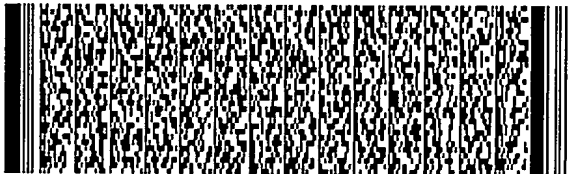
第 7/17 頁



第 8/17 頁



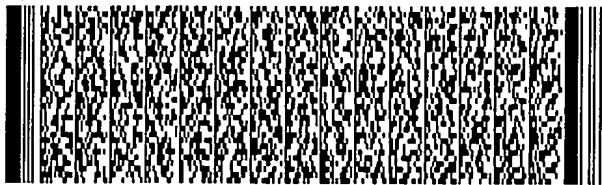
第 9/17 頁



第 10/17 頁



第 10/17 頁



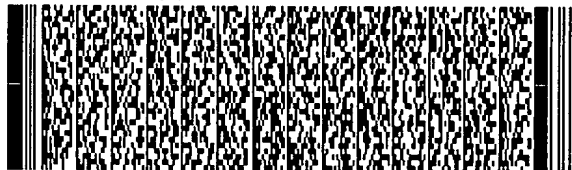
第 11/17 頁



第 11/17 頁



第 12/17 頁



第 13/17 頁



第 14/17 頁



第 15/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁



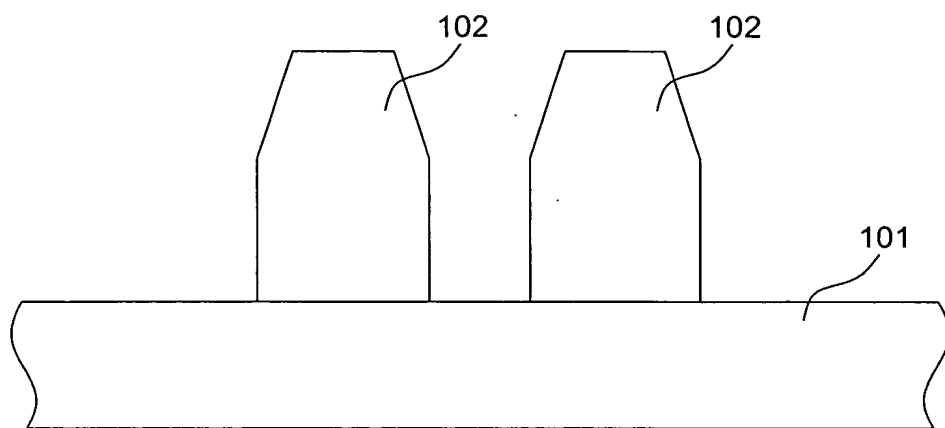


圖 一(a)(習知技術)

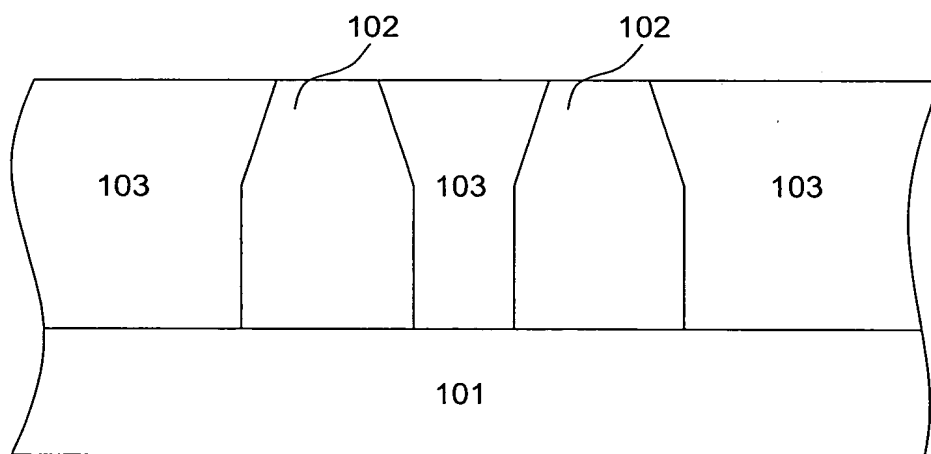


圖 一(b)(習知技術)

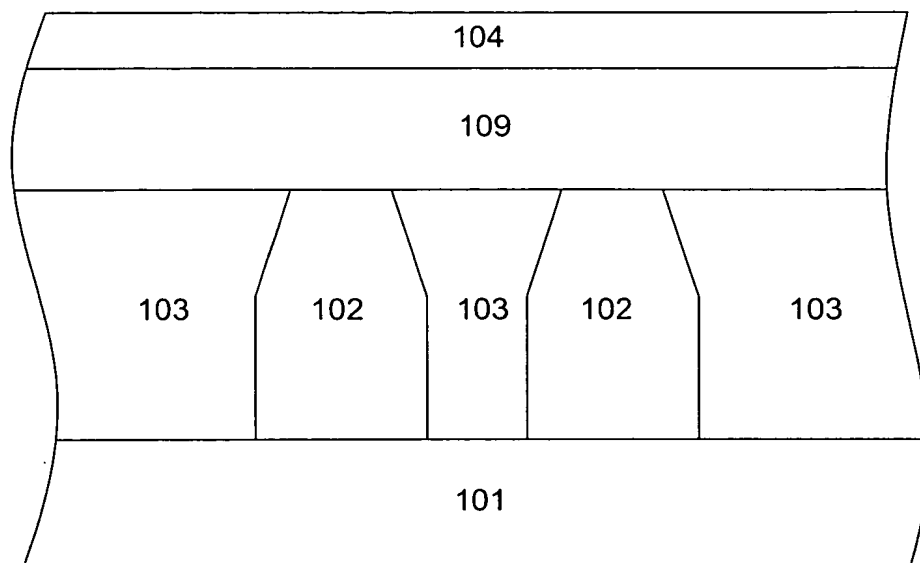


圖 一(c)(習知技術)

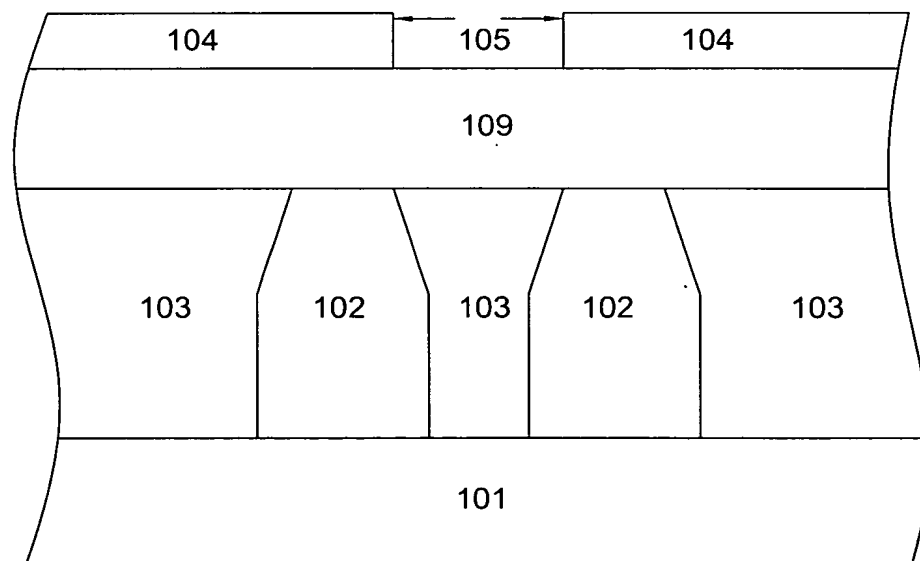


圖 一(d)(習知技術)

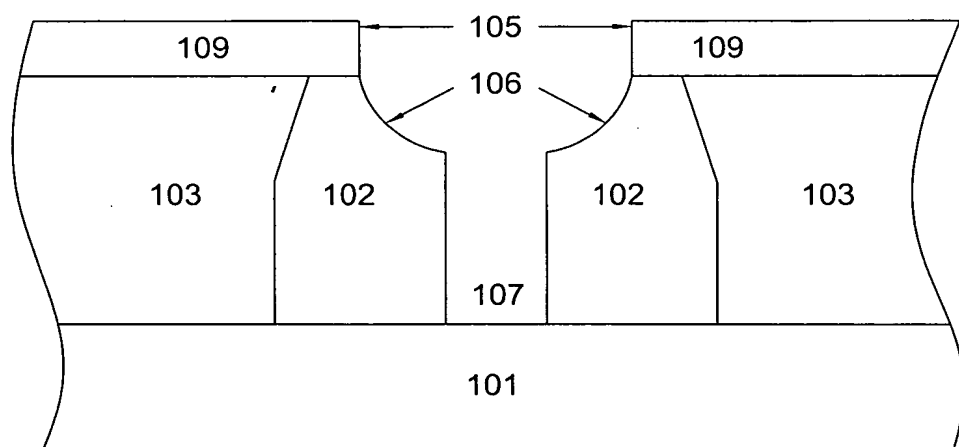


圖 一(e)(習知技術)

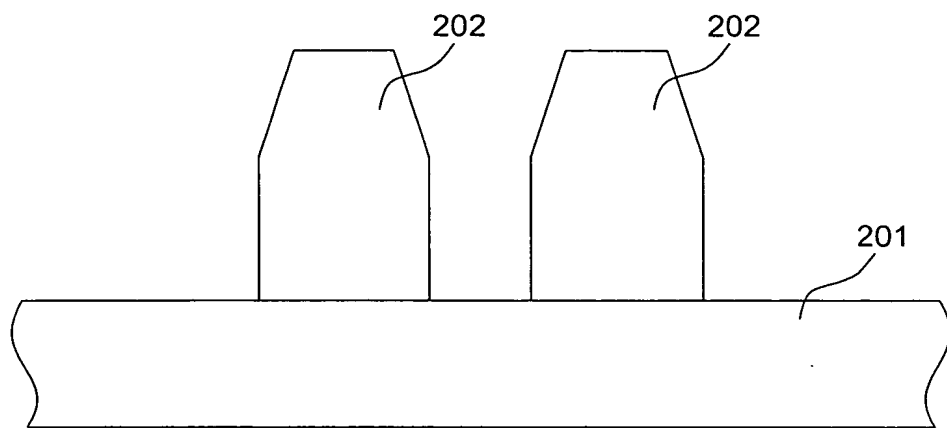


圖 二

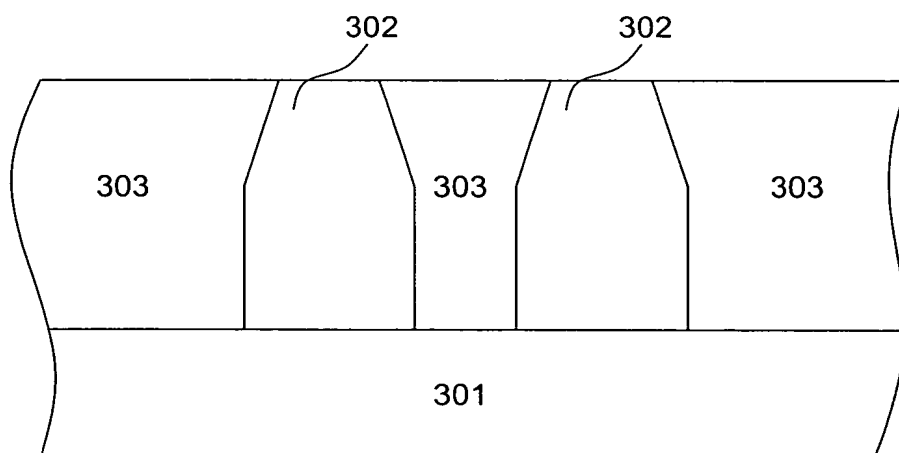


圖 三



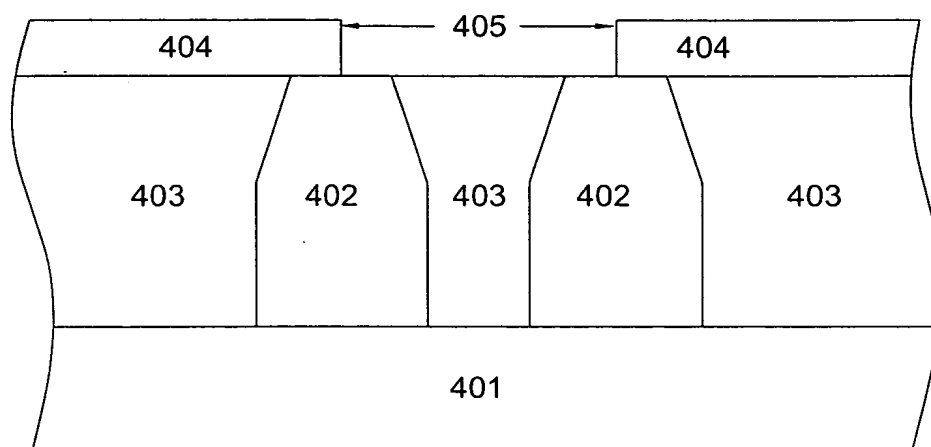


圖 四

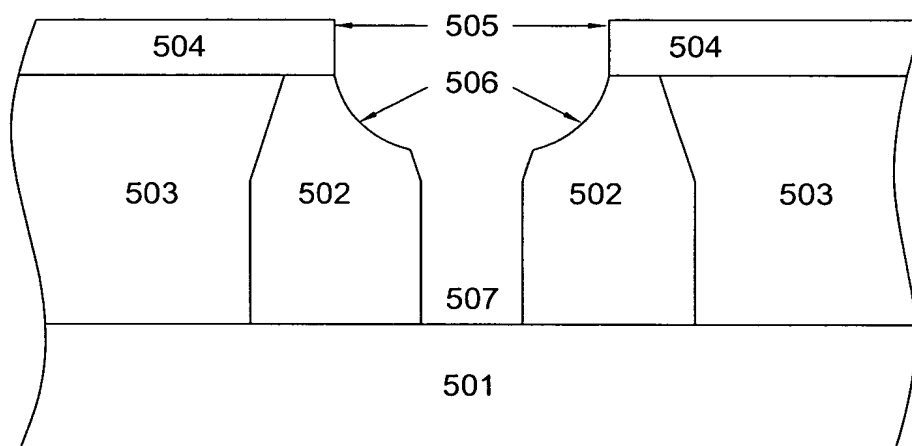


圖 五

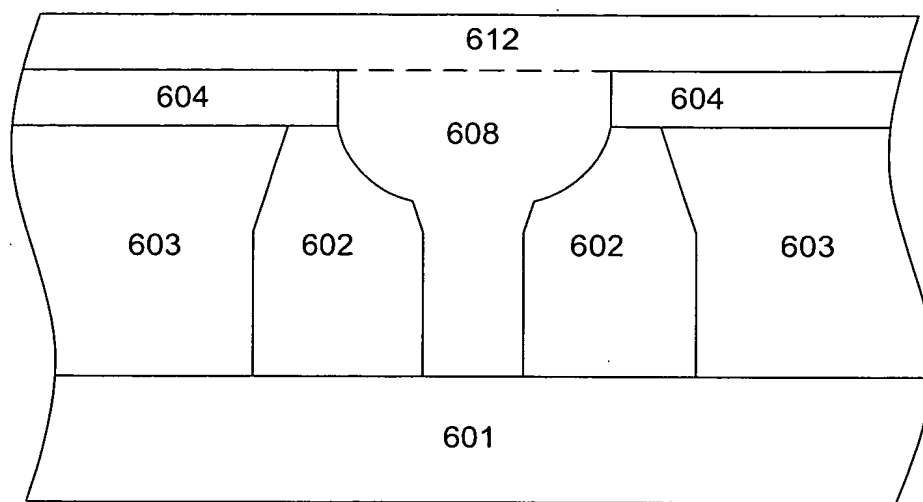


圖 六(a)

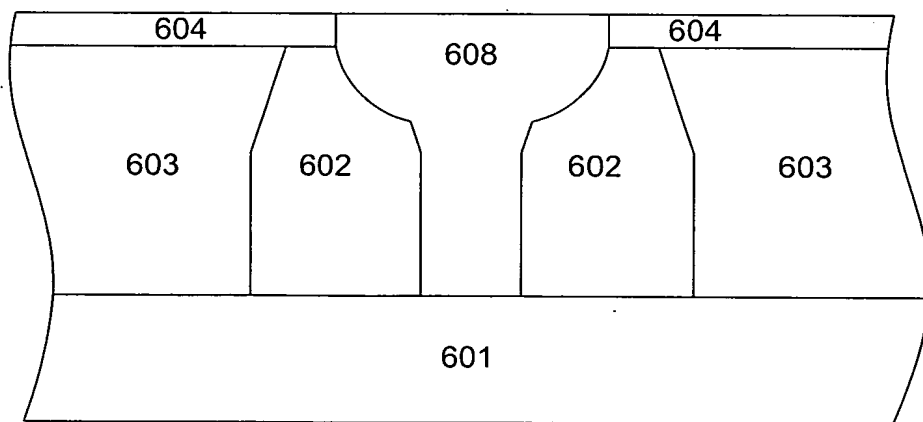


圖 六(b)

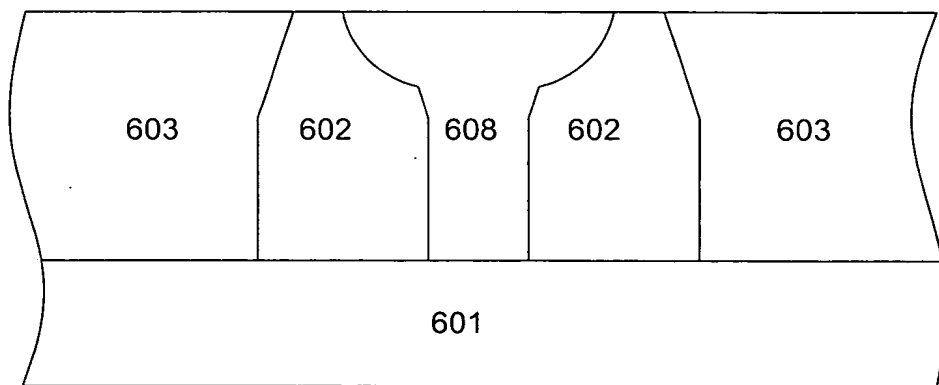


圖 六(c)

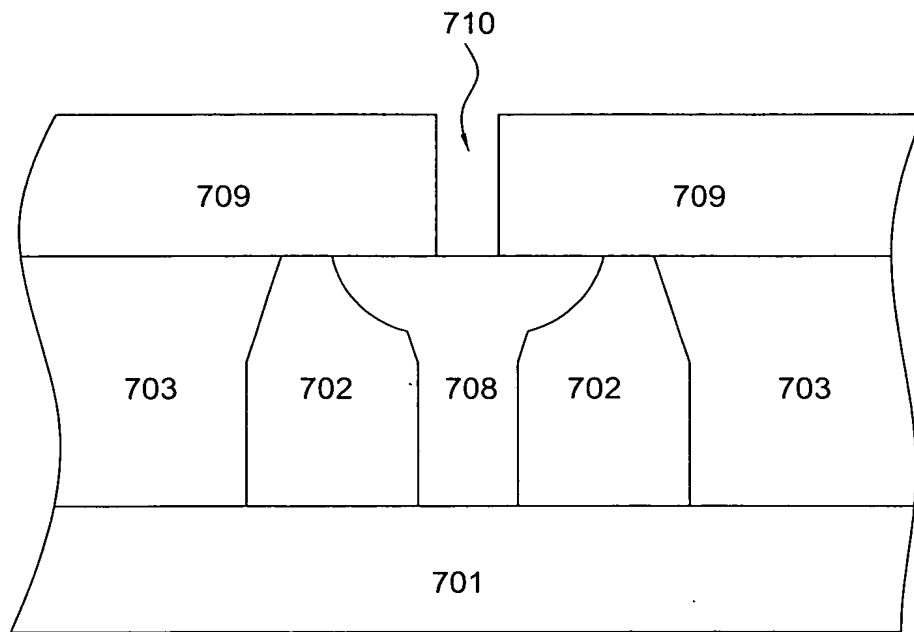


圖 七

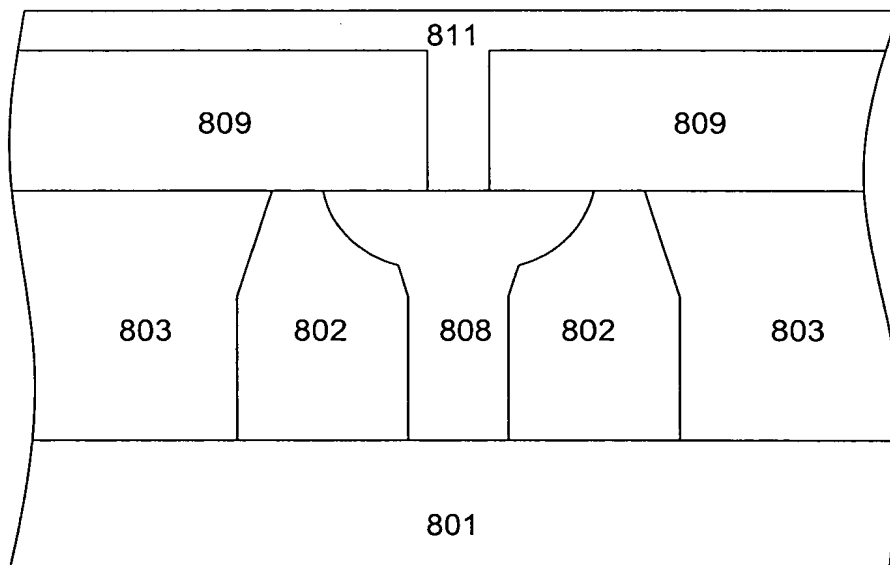


圖 八